**Варианты заданий на курсовую работу**

1. Разработать устройство для коррекции ошибок передачи восьмиразрядного двоичного кода методом Хемминга.

2. Разработать УУ выполнением четырёх команд (сложения, вычитания, сравнения и поразрядного логического «и» (конъюнкции)). Формат команды: КОП А1, А1; разрядность операндов и результата - 8 бит, разрядность А1 и А2 - 3. Использовать следующие способы размещения операндов: регистр-регистр, регистр - непосредственно операнд, регистр - косвенная регистровая адресация памяти. Результат операции сохранять по адресу А1

3. Разработать операционный блок процессора для выполнения четырёх команд (сложения, вычитания, сравнения и поразрядного логического «и» (конъюнкции)). Формат команды: КОП А1, А1; разрядность операндов и результата - 8 бит, разрядность А1 и А2 - 3. Использовать следующие способы размещения операндов: регистр-регистр, регистр - непосредственно операнд, регистр - косвенная регистровая адресация памяти. Результат операции сохранять по адресу А1.

4. Разработать УУ выполнением четырёх команд (сложения, вычитания, сравнения и поразрядного логического «и» (конъюнкции)). Формат команды КОП А1, А2; разрядность операндов и результата - 8 бит, разрядность А1 и А2 = 3. Использовать следующие способы размещения операндов: регистр - косвенная регистровая адресация памяти, косвенная регистровая адресация памяти - регистр. Результат операции сохранять по адресу А1.

5. Разработать операционный блок процессора для выполнения четырёх команд (сложения, вычитания, сравнения и поразрядного логического «и» (конъюнкции)). Формат команды КОП А1 А2; разрядность операндов и результата - 8 бит, разрядность А1 и А2 - 3. Использовать следующие способы размещения операндов: регистр - косвенная регистровая адресация памяти, косвенная регистровая адресация памяти - регистр. Результат операции сохранять по адресу А1.

6. Разработать УЧ устройства для перевода двухразрядных чисел в двоичную систему счисления.

7. . Разработать ОЧ устройства для перевода двухразрядных чисел в двоичную систему счисления.

8. Разработать умножитель двоичных целых шестиразрядных чисел в прямом коде.

9. Разработать УЧ сумматора двоичных вещественных чисел, представленных в прямом коде в следующем формате: мантисса- 8 разрядов, порядок- 3 разряда.

10. Разработать ОЧ сумматора двоичных вещественных чисел, представленных в прямом коде в следующем формате: мантисса- 8 разрядов, порядок- 3 разряда.

11 Разработать УЧ умножителя двоичных вещественных чисел, представленных в прямом коде в следующем формате: мантисса- 8 разрядов, порядок- 3 разряда.

12. Разработать ОЧ умножителя двоичных вещественных чисел, представленных в прямом коде в следующем формате: мантисса- 8 разрядов, порядок- 3 разряда.

13. Разработать контролер КЭШ-памяти с прямым способом отображения основной памяти (ОЗУ) на КЭШ и со сквозной записью.

14. Разработать контролер КЭШ-памяти с прямым способом отображения основной памяти (ОЗУ) на КЭШ и с обратной записью.

15 Разработать контроллер КЭШ-памяти с полностью ассоциативным отображением основной памяти (ОЗУ) на КЭШ сквозной записью и алгоритмом замещения по принципу «первый вошёл, первый вышел» (или FIFO).

16. Разработать контролер КЭШ-памяти с обратной записью и алгоритмом замещения по принципу наименее часто использовавшейся строки КЭШ (или LFU).

17 Разработать контролер КЭШ-памяти с полностью ассоциативным отображением основной памяти (ОЗУ) на КЭШ, сквозной записью и алгоритмом замены наиболее давнего использования строки КЭШ.

18. Разработать контролер прерываний на 6 входов по алгоритму организации прерываний на IBM PC. Предусмотреть возможность программной настройки 2х типов системы приоритетов: неизменного и изменяемого с циклической сменой приоритетов после каждого обслуживания.

19. Разработать контроллер прерываний на 5 входов по алгоритму организации прерываний на IBM PC. Предусмотреть возможность аппаратной настройки 3х типов системы приоритетов: с циклической сменой приоритетов по убыванию; циклической сменой приоритетов по возрастанию, начиная с обслуженного; с присвоением младшего приоритета обслуженному, а его приоритета – устройству с младшим уровнем приоритета.

20. Разработать УУ выполнением трёх команд обработки целых восьмиразрядных двоичных чисел (поразрядного логического «или», исключающего «или» и сложения). Формат команды: КОП А1, А2. Использовать следующие способы размещения операндов: регистр – память (прямая адресация), память – регистр (прямая адресация), регистр – непосредственно операнд. Разрядность адресов – 8 бит. Результат операции сохранять по адресу А1.

21. Разработать операционный блок процессора для выполнения трёх команд обработки целых восьмиразрядных двоичных чисел (поразрядного логического «или», ис­ключающего «или» и сложения). Формат команды: КОП А1, А2. Использовать следующие способы размещения операндов: регистр – память (прямая адресация), память – регистр (прямая адресация), регистр – непосредственно операнд. Разрядность адресов – 8 бит. Результат операции сохранять по адресу А1

22. Разработать преобразователь пятиразрядного двоичного кода в систему кодирования ASCII.

23. Разработать преобразователь двухразрядного десятичного числа, представленного в коде ASCII, в двоичную систему счисления.

24. Разработать стек с глубиной стека 16 байт.

25. Разработать контроллер ассоциативной памяти, хранящей 64\*8- разрядных двоичных кодов с выходом по «равно признаку» и «не равно признаку». Признаком поиска может быть 1,2,4,8 двоичных разрядов. Результатом поиска, выводимым на ШД, является весь байт.

26. Разработать контроллер ассоциативной памяти, хранящей 32\*8 разрядных двоичных кодов с выходом по «больше признака», «меньше признака». При­знаком поиска могут быть только нечётные биты восьмиразрядного кода. Результатом поиска, выводимым на ШД, является младшая тетрада байта.

27. Разработать контроллер ассоциативной памяти, хранящей 32\*8 разрядных двоичных слов с выходом по «не больше» и «равно». Признаком поиска является байт или четыре любых бита. Результатом поиска, выводимым на ШД, является старшая тетрада байта.

28. Разработать ускоренный умножитель по алгоритму Бута. Разрядность сомножителей - восемь бит со знаком.

29. Разработать ускоренный умножитель по алгоритму Лемана. Разрядность сомножителей - восемь бит без знака. КОНТРОЛЬНЫЙ ПРИМЕР

30. Разработать контроллер арбитража запросов на управление шиной (централизованный арбитр) на 5 ведущих устройств, с ограничением времени захвата шины с переменной системой приоритетов ведущих устройств по циклическому принципу.

31. Разработать контроллер арбитража запросов на управление шиной (централизованный арбитр) на 8 ведущих устройств с неименной системой приоритетов ведущих и разным временем ограничения захвата шины, причём временем убывающим с возрастанием приоритета.

32. Разработать контроллер прямого доступа к памяти для 5 устройств с программируемыми начальным адресом и размером блока памяти для каждого устройства, со сменой приоритета между устройствами по правилу: устройство, захватившее шину, получает низший уровень приоритета, а имевшее низший – получает высший уровень. Для остальных устройств приоритеты неизменны.

33 Разработать конвертер двухразрядного восьмеричного числа в двоичное число.

34. Разработать конвертер шестиразрядного двоичного числа в восьмеричное.

35. Разработать УУ процессора, выполняющего три команды: ввода из порта(IN ASP), вывода в порт (OUT ASP), и вводом/выводом по прерываниям (INT n).

36. Разработать операционный блок процессора для выполнения трёх команд: ввода из порта(IN ASP), вывода в порт (OUT ASP), и вводом/выводом по прерываниям (INT n).

37. Разработать УУ процессора, выполняющего три команды: сложение содержимого двух регистров процессора, ввода из порта и инверсии регистра. Самостоятельно определить разрядность регистров и портов, а также достаточную разрядность адресов портов.

38. Разработать контролер динамического ОЗУ для любого типа асинхронных динамических микросхем памяти.